

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-044197

(43)Date of publication of application : 16.02.2001

(51)Int.Cl.

H01L 21/3205

(21)Application number : 11-220620

(71)Applicant : SHARP CORP

(22)Date of filing : 04.08.1999

(72)Inventor : SUMIKAWA MASAHIRO  
TANAKA KAZUMI

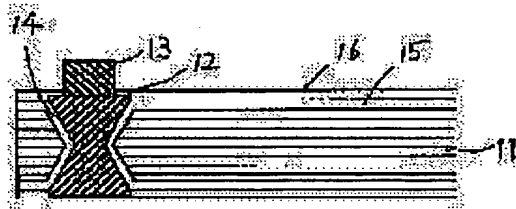
## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To suppress destruction of a through electrode during bonding by providing the through electrode with a portion whose cross-sectional area is varied as it extends from the front to the back surface of a semiconductor substrate.

**SOLUTION:** A through hole 14 is formed from both the front and the back surface of a semiconductor substrate 11 by anisotropic etching. Then, the cross-sectional area of the hole 14 is varied as the hole 14 extends from the front to the back surface of the substrate 11.

Further, a through electrode 12 is formed in the hole 14. Similarly to the hole 14, the electrode 12 has its cross-sectional area varied as it extends from the front to the back surface of the substrate 11. According to this arrangement, the electrode 12 is reinforced against force applied in the direction of the thickness of the substrate 11. Further, in laminating layers on the substrate 11, any force that would be applied to the electrode 12 by slight parallel deviations during the lamination is distributed, whereby the destruction of the electrode 12 can be prevented.



## LEGAL STATUS

[Date of request for examination]

11.01.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2001-44197  
(P2001-44197A)

(43) 公開日 平成13年2月16日 (2001.2.16)

(51) Int.Cl.<sup>7</sup>  
H 0 1 L 21/3205

識別記号

F I  
H 0 1 L 21/88

テーマコード\* (参考)  
J 5 F 0 3 3

審査請求 未請求 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願平11-220620  
(22) 出願日 平成11年8月4日 (1999.8.4)

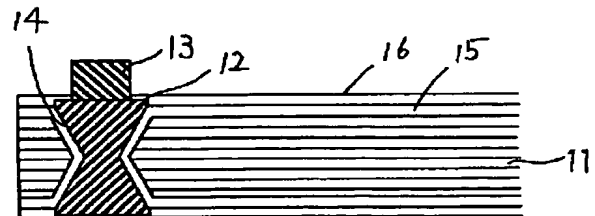
(71) 出願人 000005049  
シャープ株式会社  
大阪府大阪市阿倍野区長池町22番22号  
(72) 発明者 住川 雅人  
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内  
(72) 発明者 田中 和美  
大阪府大阪市阿倍野区長池町22番22号 シ  
ャープ株式会社内  
(74) 代理人 100103296  
弁理士 小池 隆彌  
Fターム(参考) 5F033 MM13 MM17 MM30 NN30 PP15  
PP27 QQ19 QQ37 RR04 VV07

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 ボンディング時等における圧力により破壊されにくい半導体装置及びその製造方法を提供する。

【解決手段】 L S I チップ 1 1 にはスルーホール 1 4 が形成されており、そのスルーホール 1 4 には導電性材料が充填され貫通電極 1 2 が形成されている。貫通電極 1 2 は L S I チップ 1 1 の厚み方向の中央部分において断面積が減少している。



## 【特許請求の範囲】

【請求項1】 半導体基板を貫通する貫通電極を有してなる半導体装置において、前記貫通電極は、前記半導体基板の表面から裏面に到る途中に、断面積が変化している部位を有することを特徴とする半導体装置。

【請求項2】 半導体基板を貫通する貫通電極を有してなる半導体装置において、前記貫通電極は、前記半導体基板の表面から裏面に到る途中に、断面積の小さい部位を有することを特徴とする半導体装置。

【請求項3】 請求項1または請求項2に記載の半導体装置が、少なくとも2つ、前記貫通電極どうしが位置合わせされ積層されてなることを特徴とする半導体装置。

【請求項4】 請求項2に記載の半導体装置の製造方法であって、前記半導体基板の表面または裏面の一方の面から、異方性エッチングすることで第1の穴を形成し、その第1の穴に金属メッキを行う工程と、前記半導体基板の他方の面から、異方性エッチングすることで、第1の穴に対応する位置に第2の穴を形成し、その第2の穴に金属メッキを行う工程と、を含むことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、貫通電極を有するLSIチップ等の半導体装置に関し、特に貫通電極どうしが位置合わせされて複数の半導体装置が積層された半導体装置に関する。

## 【0002】

【従来の技術】LSIチップ等の半導体装置の電極は、従来、その半導体装置の主面に形成されていた。これは、半導体装置が写真製版技術を応用して製造されるため、主面上であれば、プロセスの増加を伴わず、同じ工程で形成でき、製造上好都合であるからである。

【0003】ところで、近年LSI等の半導体装置の動作速度、信号伝送の高速化に伴い、半導体装置間等の配線による信号の遅れが顕著になってきている。そこで、配線長さを短くして、信号の遅れを回避するために、半導体装置の電極を直接実装基板上に接続するいわゆるフリップチップ実装とよばれる半導体装置の実装形態が用いられるようになってきている。

【0004】しかしながら、フリップチップ実装により実装したとしても、半導体装置間は一旦実装基板を介して電気的に接続されるため、配線長さがある程度は長くなってしまふ。

【0005】この問題、即ち、配線による信号の遅れを回避するために、半導体チップを貫通する電極を形成して、半導体チップを上下方向に積層することが考えられている（例えば、特開平5-63137号公報）。

【0006】図8は、その貫通電極を利用した従来の半導体チップを説明する図である。半導体チップ51にはスルーホール54が設けられており、そのスルーホール54には導電性材料（貫通電極）52が埋め込まれている。半導体装置51は絶縁膜55に覆われており、さらに保護膜56で被覆されている。スルーホール54の導電性材料（貫通電極）52上には突起電極53が形成されている。

【0007】図9は、図8で示した半導体装置が積層された実装構造体を示す図である。この図に示す通り、半導体チップ51と半導体チップ61とは、各スルーホール54、64とが位置あわせされて積層される。これにより、半導体チップ51、61間の配線が極めて短くなり、信号の遅れを抑制できる。

## 【0008】

【発明が解決しようとする課題】しかしながら、図8に示した半導体チップを図9のように、縦方向に積層する場合、半導体チップ51、61の平行度に僅かなずれが生じることがある。

【0009】図10はその一例を示す図である。図10の場合、半導体チップ51が半導体チップ61に対して左上がりとなっている。このような場合、半導体チップ51、61をボンディングにより接続する際に、半導体チップ51の複数の突起電極53が半導体チップ61の貫通電極62に接触するのに時間差が生じる。具体的には、半導体チップ51の左側の突起電極53aが先に半導体チップ61（貫通電極62a）に接触する。したがって、この後、ボンディング力を与えていくと右側の突起電極53bが半導体チップ61に接触するまでは、左側の突起電極53a及び貫通電極62aにのみボンディング力が作用することになる。

【0010】このとき、図11に示す通り、積層される半導体チップの貫通電極52、62は、ほとんど貫通電極52、62側面の剪断力のみでボンディング力を受け止める。しかしながら、一般に、接合部分は、面に対する圧力に比べ剪断力に対して弱く、小さい力でその接合部分が破壊される。

【0011】このため、図10の構成においては、積層する半導体チップ51、61間の僅かな平行ずれにより、ボンディング力を集中的に受けて、貫通電極62（図10では52a）が破壊される恐れがあるという問題がある。

【0012】本発明は、上記課題を解決するためになされたものであって、ボンディング時における貫通電極の破壊を抑制できる半導体装置及びその製造方法を提供することを目的とする。

## 【0013】

【課題を解決するための手段】上述の目的を達成する第1の発明の半導体装置は、半導体基板を貫通する貫通電極を有してなる半導体装置において、前記貫通電極は、

前記半導体基板の表面から裏面に到る途中に、断面積が変化している部位を有することを特徴とする。

【0014】第2の発明は、半導体基板を貫通する貫通電極を有してなる半導体装置において、前記貫通電極は、前記半導体基板の表面から裏面に到る途中に、断面積の小さい部位を有することを特徴とする。

【0015】第3の発明は、第1の発明または第2の発明の半導体装置が、少なくとも2つ、前記貫通電極どうしが位置合わせされ積層されてなることを特徴とする。

【0016】第4の発明は、第2の発明の半導体装置の製造方法であって、前記半導体基板の表面または裏面の一方の面から、異方性エッチングすることで第1の穴を形成し、その第1の穴に金属メッキを行う工程と、前記半導体基板の他方の面から、異方性エッチングすることで、第1の穴に対応する位置に第2の穴を形成し、その第2の穴に金属メッキを行う工程と、を含むことを特徴とする。

【0017】

【発明の実施の形態】以下、図面に基づいて本発明の実施の形態を説明する。なお、ここでは、半導体装置としてLSIチップを例にとって説明するが、本発明はこれに限るものではない。

【0018】図1は、本発明の半導体装置（LSIチップ）の一実施の形態を示す主要断面図である。また、図2は、図1のLSIチップを積層して構成した半導体装置を示す図である。

【0019】図1において、11はLSIチップである。なお、LSIチップ11に形成されているトランジスタや内層の配線は図示していない。15は表層の配線との絶縁膜である。16は保護膜である。

【0020】14はスルーホールであり、12はそこに形成された貫通電極である。スルーホール14は、後述するように、LSIチップ11の表面と裏面から異方性エッチングで形成しており、LSIチップ11の表面及び裏面からチップ厚み方向中央部に向けて直径（断面積）が小さくなるように、それぞれテーパ状をなして形成されている。貫通電極12は、上記スルーホール14に、後述するように、金属を穴埋めメッキすることで形成されている。このため、貫通電極12もスルーホール14と同様に、LSIチップ11の表面及び裏面では直径（断面積）が大きく、中央部では直径（断面積）が小さくなっている。

【0021】13はLSIチップ11を縦方向に積層するための突起電極である。

【0022】図2に示した半導体装置は、図1に示した構成のLSIチップ11とLSIチップ21が積層されたものであり、それらのスルーホール14、24（または各貫通電極12、22）が位置合わせされている。この半導体装置では、配線が貫通電極12、22によりなされるため、配線長さに起因する信号の遅れを抑制でき

る。なお、図2は、上述の半導体装置がフィルム基板40上に実装されている様子を示している。

【0023】図3は図1、2におけるスルーホール14、24、貫通電極12、22の効果を説明する説明図である。この図に示すように、スルーホール14、24はLSIチップ11、21の表面及び裏面よりもチップ厚み方向の中央部において断面積が小さくなるようにテーパ状に形成されている。このような構成では、図2のようにLSIチップ11、21を積層するときのボンディング力は、スルーホール側面の剪断力（矢印A、B）とLSIチップ11、22本体に対する圧力の反力（矢印C、D）により保持される。

【0024】このため、従来のような断面積が一定のスルーホールに比して、大きなボンディング力に対してまで安定に貫通電極12、22を支持することが可能となる。このため、LSIチップ11、21の積層する際の僅かな平行ずれによって生じる貫通電極12、22への力を分解し、貫通電極12、22の破壊を防止できる。

【0025】次に、上述した図1のLSIチップ11の製造方法の一例を説明する。図4は、その製造方法を説明するプロセスフロー図である。また、図5、図6は主要な工程を説明する工程図である。以下、工程順に説明する。

【0026】まず、回路等の形成された基板（Si基板）17の表面に、スルーホール形成位置に開口部を有するホトレジスト18を塗布・露光・現像し（工程1、図5（a））、Si基板17の異方性エッチングを行って穴（第1の穴）30を形成し（工程2）、ホトレジストを除去する（工程3、図5（b））。

【0027】図7は、異方性エッチングを行なった際の、穴30の形状を示す説明図である。エッチングの際のエッチャントの選択でいろいろな角度が選択できるが、例えば、エッチャントとしてKOH溶液を用いた場合は、Si基板17の（111）面が選択的にエッチングされるため、角度 $\theta$ （図7参照）が約 $54^\circ$ の穴30が形成できる。

【0028】次に、絶縁膜（NSG膜、 $\text{SiO}_2$ ）19を形成して（工程4）、そのNSG膜上にホトレジストを塗布・露光・現像し（工程5）、上記した回路等との接続のためのコンタクト穴を形成し（工程6）、ホトレジストを除去する（工程7、図5（c））。

【0029】続いて、バリアメタル膜、メッキ下地膜をスパッタにより形成し（工程8、9）、電解メッキにより少なくとも導電性材料（メッキ膜）31を穴30を覆う分以上形成する（工程10、図5（d））。そして、メッキ膜31を平坦化する（工程11、図5（e））。

【0030】次に、ホトレジストを塗布・露光・現像し（工程12）、配線をパターンニングして（工程13）、ホトレジストを除去する（工程14、図5（f））。

【0031】以上により、Si基板17の表面に対する

5

異方性エッチングプロセスが終了する。続いて、工程 1～14 と同様の工程を Si 基板 17 の裏面に対しても行う（工程 15～28、図 6）。

【0032】なお、当然であるが、工程 15（図 6（a））においてホトレジストは、表面の穴（第 1 の穴）30 に対応する位置に開口を有するように、位置合わせして形成する必要がある。また、工程 16（図 6（b））では、工程 4 にて表面の穴 30 の底に形成された NSG 膜をも除去する。さらに、工程 20（図 6（d））では、工程 18 にて裏面の穴（第 2 の穴）32 の底に形成された NSG 膜 33 を除去する。

【0033】この後、表裏に保護膜をスパッタ法で形成し電極部分をエッチングで露出させてウエハープロセスを終了する。

【0034】以上の工程により、図 1 に示す半導体装置（LSI チップ）が製造できる。なお、図 1 における突起電極 13 は一般的な手法により形成すればよい。

【0035】また、図 2 のような積層構造は、上述した半導体装置を 2 つ以上準備しておき、それらを公知のボンディングの手法により接合することで製造できる。

【0036】なお、上述の半導体装置では、半導体装置の表面、裏面よりテーパ状に断面積が変化する貫通電極を有する半導体装置について示したが、本発明はこれに限るものではなく、半導体装置の表面から裏面に到る少なくとも一部において貫通電極の断面積が変化していれば、貫通電極がボンディング力に対して強くなるという本発明の効果を達成することができる。

【0037】したがって、貫通電極は、表面と裏面との間でその断面積が減少するように構成する必要はなく、例えば、逆に断面積が増大するようにしてもよい。この場合、オーバエッチングを使用することによりこの貫通電極の製造が可能であるが、製造精度を考慮すると、上述した異方性エッチングにより形成した図 1 の構成が優れている。

【0038】

【発明の効果】本発明の半導体装置によれば、貫通電極が半導体基板の厚み方向の力に対して強くなる。また、

6

半導体素子を積層する場合、その際の僅かな平行ずれによって生じる貫通電極への力が分散し、貫通電極の破壊を防止できる。

【0039】また、本発明の半導体装置の製造方法によれば、半導体基板の厚み方向に断面積が変化する半導体装置を製造できる。

【図面の簡単な説明】

【図 1】本発明の一実施の形態の半導体装置の構成を示す主要断面図である。

【図 2】図 1 の半導体装置が積層された半導体装置を示す断面図である。

【図 3】図 1 の半導体装置の効果を説明する図である。

【図 4】図 1 の半導体装置の製造方法を説明するフロー図である。

【図 5】図 1 の半導体装置の製造方法を説明する工程図である。

【図 6】図 1 の半導体装置の製造方法を説明する、図 5 に続く工程図である。

【図 7】異方性エッチングにより形成する穴の構成を説明する図である。

【図 8】従来の半導体装置の構成を示す主要断面図である。

【図 9】図 9 の半導体装置が積層された半導体装置を示す断面図である。

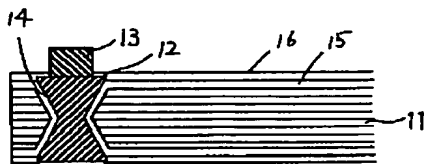
【図 10】従来の半導体装置の問題点を説明する図である。

【図 11】従来の半導体装置の問題点を説明する拡大図である。

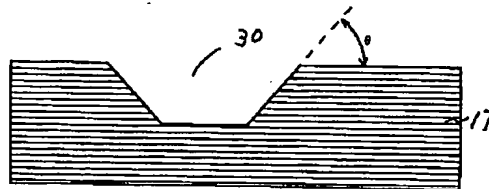
【符号の説明】

- 11, 21 LSI チップ
- 12, 22 貫通電極
- 13, 23 突起電極
- 14, 24 スルーホール
- 15, 25 絶縁膜
- 16, 26 保護膜
- 30, 32 穴

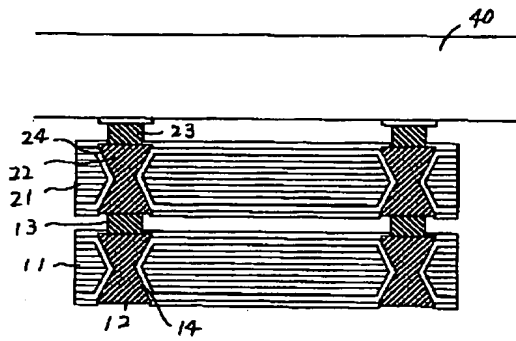
【図 1】



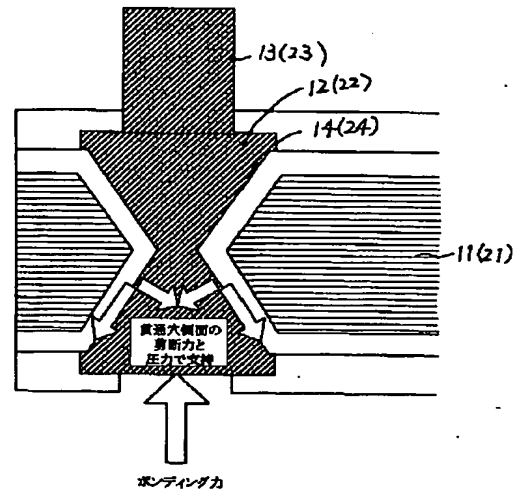
【図 7】



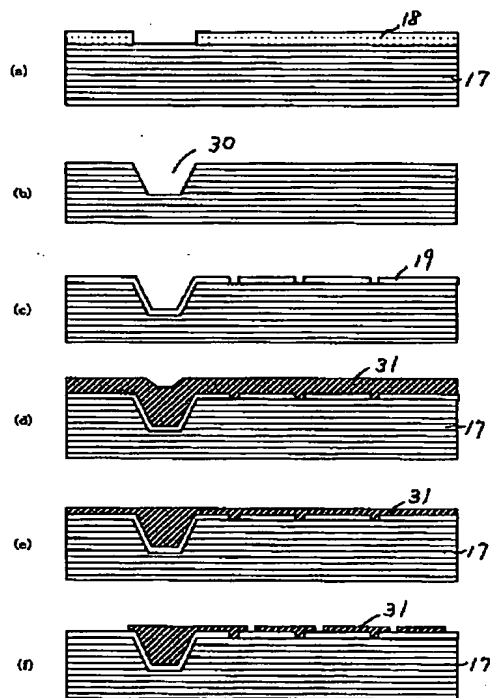
【図 2】



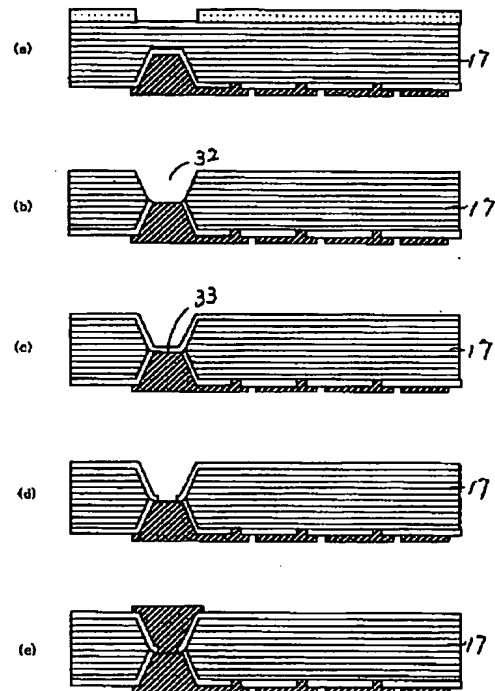
【図 3】



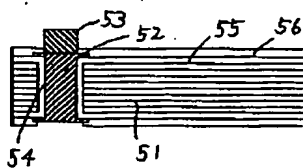
【図 5】



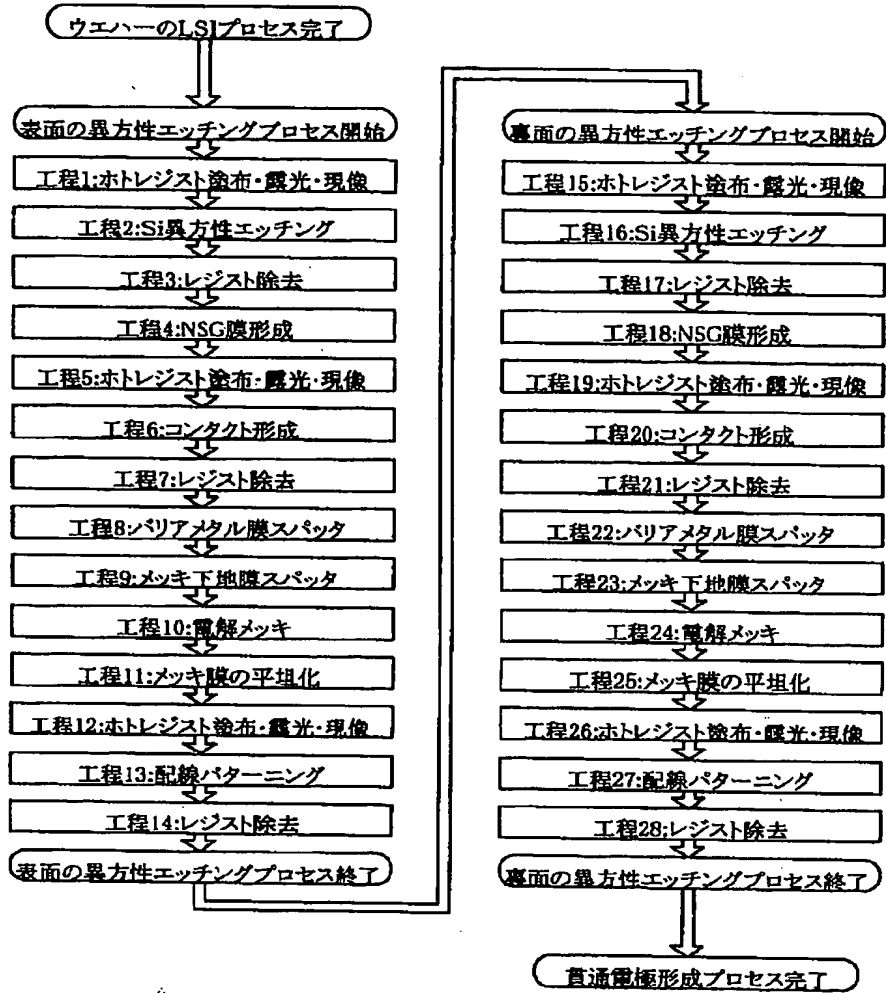
【図 6】



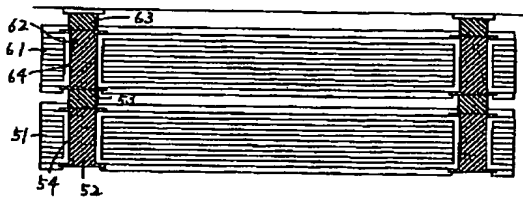
【図 8】



【図4】

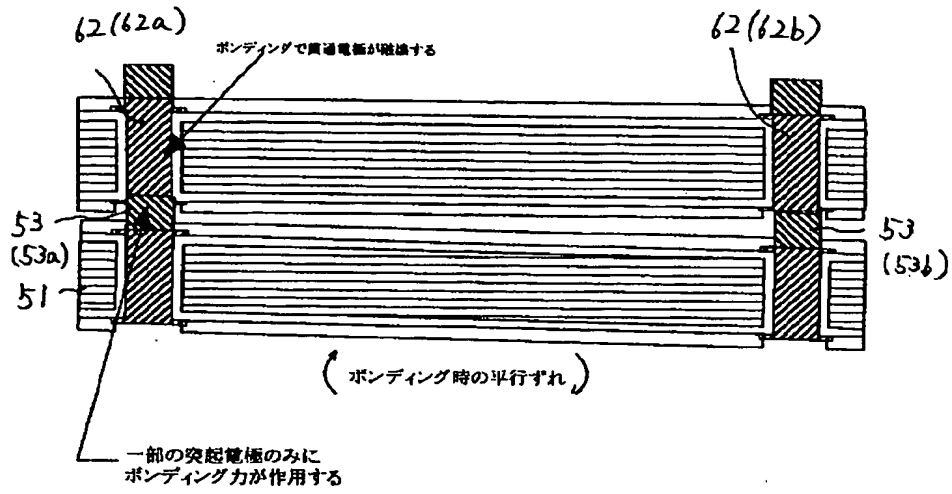


【図9】





【図10】



【図11】

